

國立虎尾科技大學電機系專題精簡報告

題目：十六位元管線式數位比較器

Sixteen bits pipeline digital comparator

執行期限：2012 年 10 月 15 日至 2013 年 10 月 22 日

指導老師：呂啟彰

專題參與人員：柯正浩、梁哲維、陳志成、彭皓廷

班級：四電四乙

一、摘要

在本專題中，使用 TSMC 0.18 μ m 1P6M 的製程，過程從佈局前模擬，畫出 LAYOUT，經過 DRC，LVS，布局後模擬，從最小的二位元比較器和暫存器組成十六位元的管線式比較器。

In this topic, use the TSMC 0.18 μ m 1P6M manufacturing process, First, begin with the pre simulation process then draw the Layout. Second, DRC then LVS, And post simulation at last. Using two bits comparators and registers consisting of sixteen bits pipelined comparator.

關鍵詞：管線式(PIPELINE)，暫存器(register)

二、專題緣由與目的

數位比較器被廣泛的應用於微處理器、數位訊號處理器、通訊和加密系統。在 21 世紀的年代，時間就是金錢，過去的可擴充式數位比較器，如果被應用於大量比較數值的時候，則需要把頻率調高才能夠把動作的速度加快，但頻率調高到一個程度時 CMOS 元件會過熱導致輸出的值有所錯誤。

我們在這使用管線式的架構來做成新型的數位比較器，在此我們稱它為管線式數位比較器，管線式數位比較器能夠改善可擴充式數位比較器在做大量比較數值時，當要提升速度被頻率所限制住的問題。

三、管線式比較器原理架構

比較器是一種組合電路，可用於比較兩個數字之大小，以確定它們的關係。當比較兩個 N 位元數字時，其真值表中就需要有二的 N 次方種組合的關係。

但是若能找出簡單的擴充方式，即可利用二位元的比較器來設計多位元數位比較器。

一般而言運用 XNOR 閘來比較兩個二進位數 a 與 b 之大小，僅能判斷兩數之值是否相等，並不能作出 a、b 數字比較，故無法滿足數字比較的運算。所示之電路，為傳統之一位元數位比較器。由於一位元數位比較器是比較兩個一位元之二進位數字，故此電路有 2 個輸入，分別標示為 a 與 b。兩個數字比較結果是指出數字 a 是否大於、等於或小於數字 b，故此電路應有 3 個輸出，分別標示為 a>b、a=b、a<b。

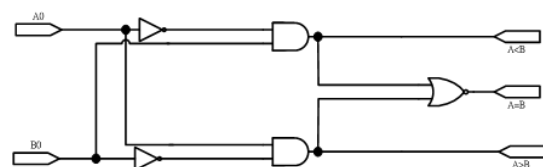


Fig.1 比較器電路圖

A	B	A>B	A=B	A<B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Table.1 比較器真值表

Pipeline 就字面上來解釋就是管線的意思，你可以想像一堆指令像流水般在管子裡面一個接一個的流動（執行）。這個觀念的產生，最主要的就是為了節省時間，讓不同的指令，能在同一個時刻中，重疊起來執行。就像生產線一般，其實 pipeline 的作法就是將完成指令分成好幾個步驟來做，這些步驟稱為 pipe stage 或是 pipe segment。作法就是讓不同的 pipe stage 可以不斷的一直在處理指令，不會因為處理完一個指令就停頓下來，pipeline 就是用來充分利用每個 pipe stage。pipeline 的效能決定於處理指令的頻率。指令要從一個 pipe stage 到下一個 pipe stage 理想中是需要一個 clock cycle 的時間。

暫存器由一群正反器組成，每個正反器可以儲存一個位元的資料，一個 n 位元的暫存器便包含 n 個正反器，而可以儲存 n 位元的資料。一個暫存器除了正反器外，還包含一些組合邏輯閘。廣義的定義中，一個暫存器包含一群正反器以及一些會影響他們狀態改變的邏輯閘，正反器用來保存二進位資料，而其他的邏輯閘則用來控制新資料於何時轉移到暫存器。

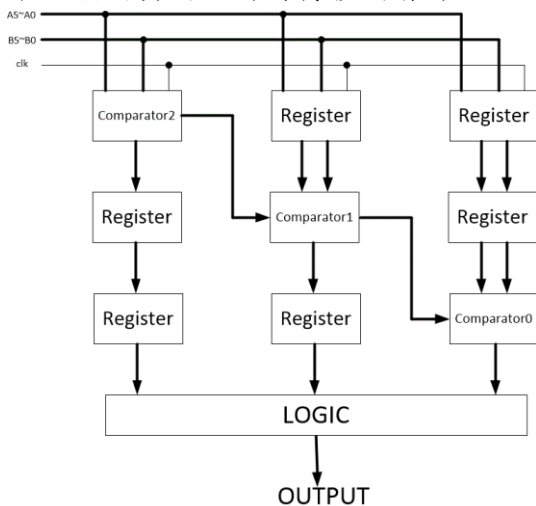


Fig.2 管線式比較器示意圖

四、管線式比較器內部電路的設計

以十六級一位元、二級八位元、四級四位元、八級兩位元，分別組成十六位元比較器，每一級執行的時間皆相同再以暫存器達到線路延遲訊號輸入到比較器的時間，每一級比較的結果最後輸入至邏輯閘，判斷為大於，小於或等於。

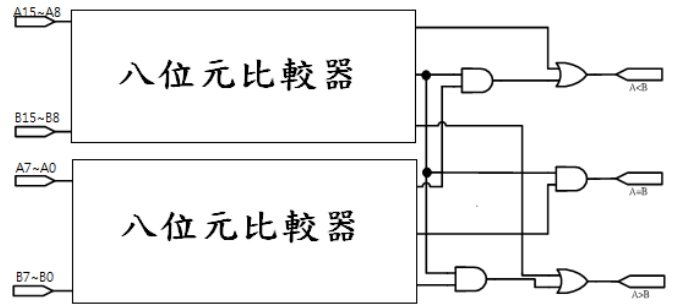


Fig.3 16位元比較器

圖三為一個十六位元的比較器，每級同時輸入後進行比較，結果輸出至邏輯閘判斷大小。

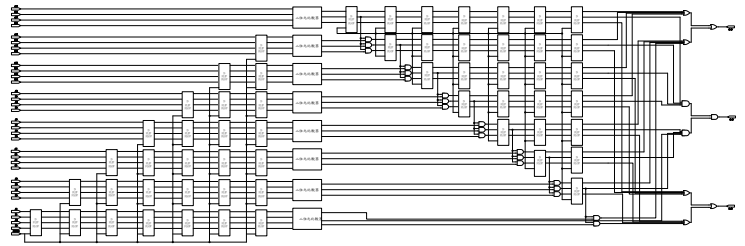


Fig.4 16位元(八級二位元)比較器

圖四為一個八級兩位元管線式比較器，訊號由每一級同時輸入，當第一級進行比較時第二級，第三級...經過暫存器以此類推，每一級在每個時間點都會動作，達到管線式功能。下面為幾個不同級數組成的十六位元管線式比較器。

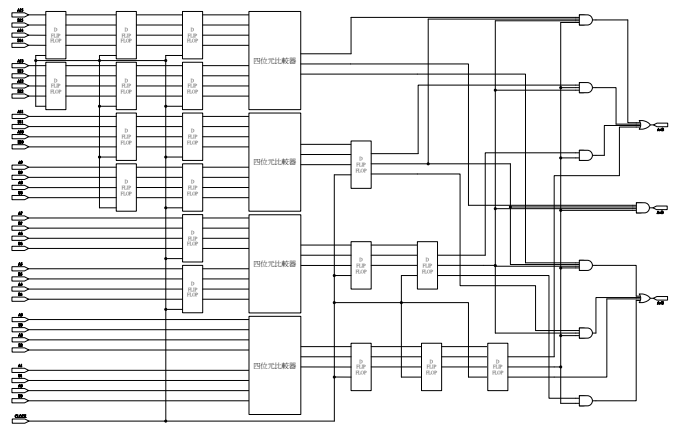


Fig.5 16位元(四級四位元)比較器

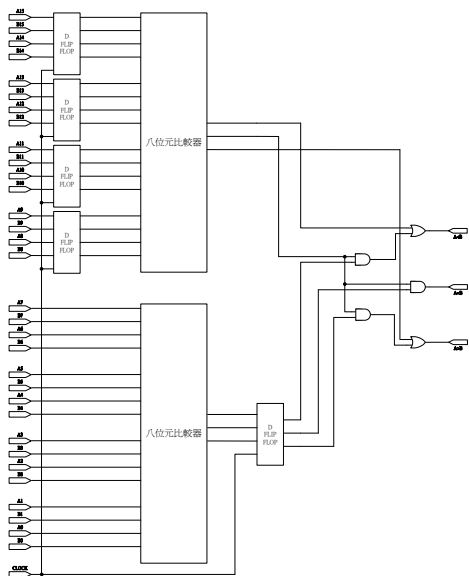


Fig.6 16 位元(二級八位元)比較器

五、晶片佈局與模擬結果

一個十六位元管線式數位比較器包含：32 個位元輸入端、一個時脈(CLOCK)輸入端、三個結果輸出端、2 個電路電源和 2 個 I/O Pad 電源端，一共 40 隻接腳。

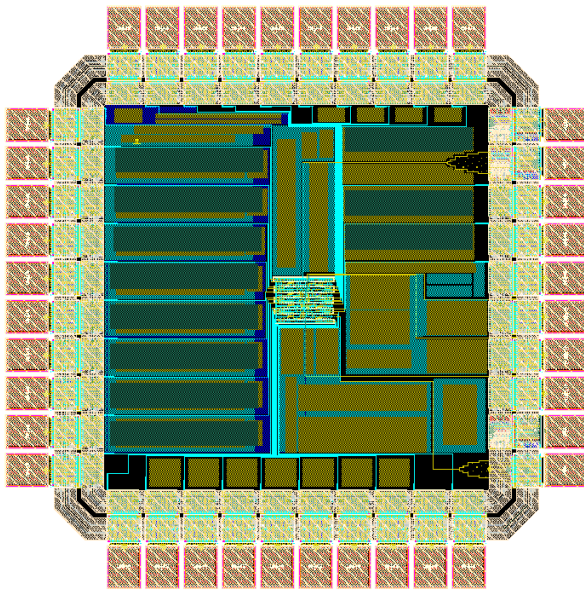


Fig.7 16 位元比較器

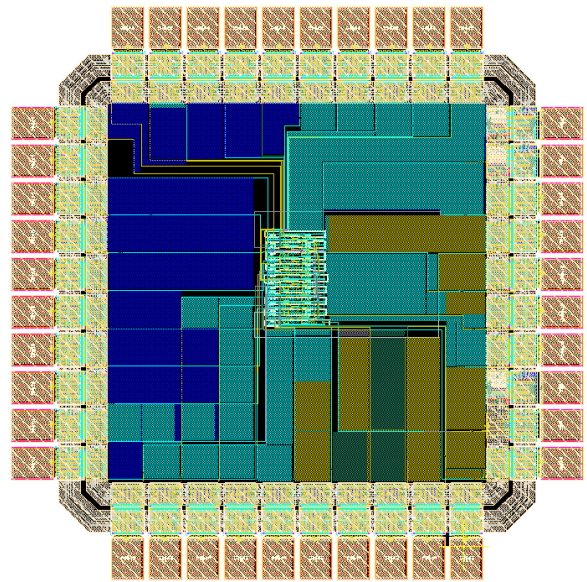


Fig.8 16 位元(二級八位元)比較器

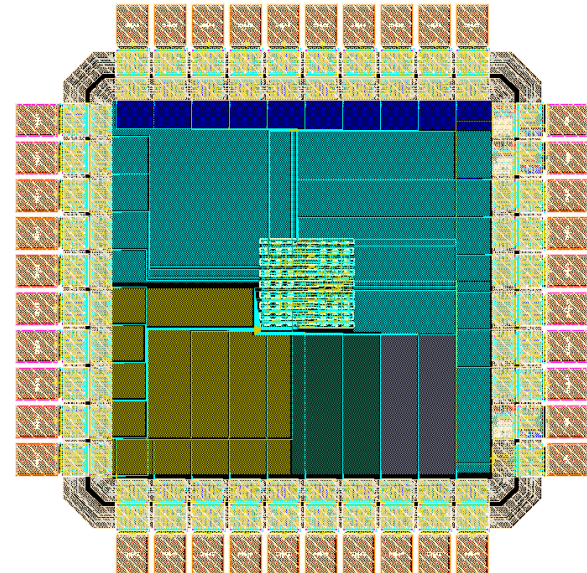


Fig.9 16 位元(四級四位元)比較器

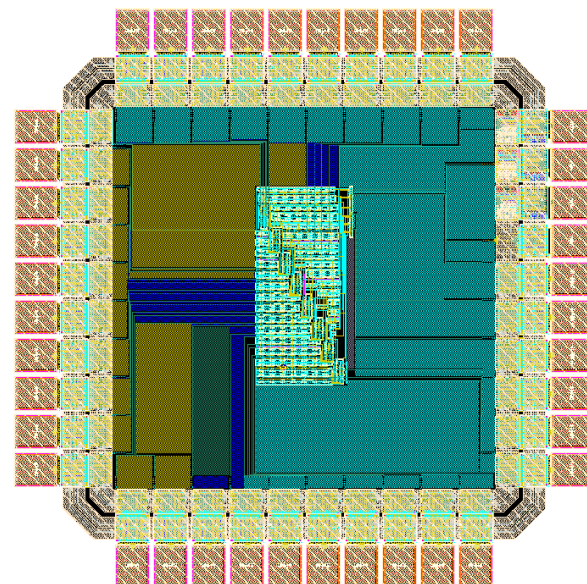


Fig.10 16 位元(八級二位元)比較器

六、結論

本專題中，使用 2、4、8 位元傳統數位比較器與暫存器設計出 3 種不同的 16 位元管線式數位比較器進行比較，分別為 2 級 8 位元、4 級 4 位元、8 級 2 位元，發現 16 位元管線式數位比較器會隨著級數的提高，使得整體電路佈局面積、電路消耗功率上升。

七、參考文獻

- [1] 鄒昌廷、廖常藝、廖志偉、張世勳、劉偉行-可擴充式 8 位元數位比較器設計-國立虎尾科技大學電子工程系論文。
- [2] PIPELINE 的簡介，
<http://cis.nctu.edu.tw/~info27/ch6/6-1.htm>
- [3] 王進賢，“VLSI 電路設計”，高立圖書有限公司。
- [4] 維基百科，<http://zh.wikipedia.org/>。
- [5] 張智星，“MATLAB 程式設計【入門篇】”，鈦思科技。
- [6] 李博明、唐經洲，“VLSI 設計概論”，高立圖書有限公司。