

國立虎尾科技大學

電機工程系

網路應用與晶片設計實驗室

簡介

負責老師：呂啟彰 老師

目 錄

一、 前言	1
二、 教學目標	1
三、 教學設備	3
四、 實驗名稱及內容	5
五、 未來發展	10

一、前言

本系自 95 學年度規劃晶片設計為重點發展實驗室，並以快速雛型設計相關軟硬體設備之教育訓練為目標，逐年利用電機系的年度設備經費與教育部顧問室前瞻晶片系統設計學程計畫增購相關設施，以可規劃邏輯設計與積體電路佈局為規劃的重點，發展相關教學課程與研究應用。尤其是可規劃系統晶片 (System on Programmable Chip, SoPC) 的發展將涵蓋數位系統、微處理機系統、數位信號處理系統以及即時作業系統等技術。因此，配合本系相關技術專長教師 (如電力與電能處理、系統控制、系統晶片和通訊與網路等)，期望能建置完善的系統晶片設計與應用之實驗室。

二、教學目標

1. CPLD/FPGA Design :

可規劃邏輯元件 (Programmable Logic Device, PLD) 係指一種數位積體電路，可讓使用者組成 (User-Configuration) 其邏輯功能，包括布林表示式或暫存器功能等。隨著 PLD 的高效能、高電路容積、高經濟效益、短開發週期、與新製程的開發，採用 PLD 與電腦輔助設計工具，已成為實現數位電路的發展趨勢，因此本課程規劃以發展硬體描述語言 (HDL) 數位系統設計教學為主，以軟體模擬平台及 CPLD 硬體驗證實習為輔，規劃一學期的理論及實習課程，並配合微處理機設計及計算機組織與架構課程基礎，以發展嵌入式處理器基礎架構設計，導入特定用途系統晶片設計技術，課程之教學目標為：

- (1)瞭解可規劃邏輯元件之架構。
- (2)熟悉可規劃邏輯電路設計之流程。
- (3)培養硬體描述語言程式設計之能力。

(4)實習數位電路系統之實作與應用。

2. VLSI Design :

學習基礎積體電路設計理論與佈局技術，首先認識 CMOS 電路之物理結構、CMOS 製程、CMOS Logic 電路與 CMOS IC 佈局設計，進而深入瞭解 CMOS 電路設計技術。使學生具有足夠之 VLSI 設計理論及工業界發展之應用知識，以便符合高科技 IC 設計公司初級人力需求，發展目標為：

(1)配合積體電路佈局與雛型系統設計學程，逐步建立相關課程之授課。

(2)根據本系學生的程度，自行編寫上課與實習教材講義。

(3)選派學生至國家晶片實現中心(CIC)參加課程訓練與 E-learning 課程。

(4)針對系統晶片設計相關議題，邀請國內學者專家舉辦研討會。

(5)選擇優良專題製作成品，積極參與國內各項比賽。

(6)整合目前國家晶片實現中心(CIC)所提供晶片設計流程之軟體，訓練學生熟悉使用相關軟體以完成晶片設計。

三、教學設備

實習（驗）場所名稱：晶片設計實驗室

群內 各科系	主 要 設 備	件 (套) 數	採 購 年 月	維護狀況(打√)			與課程之配合情形(請註明課程名稱)
				良好	待修	報廢	
電機工程系 資訊工程系	個人電腦	35 部	98.9	√			可規劃邏輯電路設計與實習、系統晶片電路設計
電機工程系	實習套件 Altera Development Board (DE2)	48 部	96.5 (24 部) 95.5 (24 部)	√			可規劃邏輯電路設計與實習、系統晶片電路設計
電機工程系	廣播教學系統	1 套	96.5	√			可規劃邏輯電路設計與實習、系統晶片電路設計

「晶片設計實驗室」有關於全客戶定製設計流程，採用 Linux 來做為 EDA 設計平台，以降低實驗室設置所購買電腦設備之成本。在 PC 所架設之 Linux 伺服器上安裝及設定有關佈局設計方面之 EDA 工具軟體如：Cadence Composer、Synopsys Hspice、CosmosScope、Springsoft Laker 以及 Mentor Graphics Calibre。

有關於實驗室硬體設備與軟體設備如下：

1. 硬體設備部分：

NO	硬體設備	數量
1.	雙作業系統個人電腦(Windows & Linux)	20
2.	高速乙太網路交換器 24port	1
3.	15K 穩壓器	1
4.	高頻數位儲存示波器	1

5.	精密可程式直流電源供應器	1
6.	MicroChip 高性能微處理機發展系統	30
7.	高閘數 SoPC-NiosII EDA/SoPC 研發平台	20
8.	嵌入式研發平台	5
9.	數位信號實驗教學平台	5

2. 軟體設備部分：

NO	軟體設備	數量
1.	Cadence	30
2.	Synopsys	30
3.	Laker	30
4.	Hspice	30
5.	CosmosScope	30
6.	Calibre	30
7.	Matlab	30

四、實驗名稱及實驗內容

1. 可規劃邏輯電路設計

國立虎尾科技大學課程教學大綱

當期課號：		<input checked="" type="checkbox"/> 必修 <input type="checkbox"/> 選修 <u>3</u> 學分 <u>3</u> 小時	適用 班級	<input checked="" type="checkbox"/> 學院部 <input checked="" type="checkbox"/> 四年制三年級 <input checked="" type="checkbox"/> 二年制一年級	
科目	中文：可規劃邏輯電路設計				
名稱	英文：Programmable Logic Circuits Design				
先修科目	邏輯設計	授課 方式	講解、課堂討論與專題報告		
教學 目標	1. 瞭解現場可規畫邏輯元件之架構。 2. 熟悉可規畫邏輯電路設計之流程。 3. 培養數位電路系統配置與應用之能力。				
一、教 學 大 綱 內 容					
(開學至期中考)			(期中考至期末考)		
1. CPLD 數位電路發展系統簡介 2. 基本數位電路之設計 3. 硬體描述語言程式設計			4. 時序邏輯電路之設計 5. 計數器及其應用控制 6. 設計範例		
上課 時間	1. 星期 <u>三</u> ：第 <u>5</u> 節至第 <u>7</u> 節 2. 星期 <u> </u> ：第 <u> </u> 節至第 <u> </u> 節 3. 地點： <u> </u> soc 實驗室 <u> </u>		學生輔 導時間	1. 星期 <u>二</u> ：第 <u>1</u> 節至第 <u>3</u> 節 2. 星期 <u>三</u> ：第 <u>1</u> 節至第 <u>3</u> 節 3. 地點： <u>研究室</u> 校內分機： <u>5628</u>	
二、成績評量項目與比例			簽	授課教師	系科主任
1. 平時考查 30% 2. 期中考 30% 3. 期末考 40%			章	林國煌	

2. FPGA 電路設計

國立虎尾科技大學課程教學大綱

當期課號：						<input checked="" type="checkbox"/> 碩士班 <input type="checkbox"/> 學院部 <input type="checkbox"/> 四年制 <input type="checkbox"/> 二年制 一 年 級 甲 班			
科目	中文：FPGA 電路設計	<input type="checkbox"/> 必修 <input checked="" type="checkbox"/> 選修 3 學分 3 小時		適用					
名稱	英文：FPGA Circuits Design			班級					
教材名稱	系統晶片設計－使用 quartus II	編著者	廖裕評、陸瑞強	出版者	全華	版次 / 日期	第四版		
先修科目	Logic Design	授課方式	講解、課堂討論與專題報告						
教學目標	1. 瞭解現場可規畫邏輯元件之架構。 2. 熟悉可規畫邏輯電路設計之流程。 3. 培養數位電路系統配置與應用之能力。								
一、教 學 大 綱 內 容									
(開學至期中考)				(期中考至期末考)					
(1) Introduction to CPLD/FPGA (2) CPLD/FPGA development environment (3) System-level design practices				Project presentation					
上課時間	1. 星期 三：第 5 節至第 7 節 2. 星期 ____：第 ____ 節至第 ____ 節 3. 地點：soc 實驗室			學生輔導時間	1. 星期 二：第 1 節至第 3 節 2. 星期 三：第 1 節至第 3 節 3. 地點：研究室 校內分機：5628				
二、成績評量項目與比例						簽	授課教師	召集人	系主任
4. 平時考查 30% 5. 期中考 30% 6. 期末考 40%						章	林國煌		

3. 系統晶片電路設計

國立虎尾科技大學課程教學大綱

當期課號：						<input checked="" type="checkbox"/> 碩士班 <input type="checkbox"/> 學院部 <input type="checkbox"/> 四年制 <input type="checkbox"/> 二年制 一 年 級 甲 班	
科目 名稱	中文：系統晶片電路設計	<input type="checkbox"/> 必修 <input checked="" type="checkbox"/> 選修 <u>3</u> 學分 <u>3</u> 小時	適用 班級				
	英文：SOC Circuits Design						
教材 名稱	講義	編 著 者		出 版 者		版次 / 日期	
先修 科目	1. Logic Design 2. CPLD Circuits Design	授 課 方 式	講解、課堂討論與專題報告				
教 學 目 標	1. 熟悉 SOC 設計流程與設計工具。 2. 具備完整之 SOC 技術理論與設計實現之基礎知識。 3. 培養嵌入式系統電路設計與應用之能力。						
一、教 學 大 綱 內 容							
(開學至期中考)				(期中考至期末考)			
(1) Introduction to SoPC (2) SoPC development environment (3) System-level design practices				(4) SoPC verification (5) Design examples			
上 課 時 間	1. 星期 二：第 5 節至第 7 節 2. 星期 三：第 1 節至第 3 節 3. 地點：soc 實驗室		學 生 輔 導 時 間	1. 星期 二：第 1 節至第 3 節 2. 星期 三：第 1 節至第 3 節 3. 地點：研究室 校內分機：5628			
二、成 績 評 量 項 目 與 比 例				簽	授課教師	召集人	系 科 主 任
7. 平時考查 30% 8. 期中考 30% 9. 期末考 40%				章	林國煌		

4. 超大型積體電路設計導論

國立虎尾科技大學課程教學大綱

當期課號：						<input type="checkbox"/> 專科部 <input checked="" type="checkbox"/> 學院部 <input type="checkbox"/> 五年制 <input checked="" type="checkbox"/> 四年制	
科目 名稱	中文：超大型積體電路設計 導論	<input type="checkbox"/> 必修 <input checked="" type="checkbox"/> 選修		適用 班級	電機工程系 三年級		
	英文：Introduction to VLSI design	3 學分 3 小時					
教材 名稱	Introduction to VLSI Circuits and Systems	編 著 者	John P. Uyemura,	出 版 者	John Wiley & Sons, Inc.	版次 / 日期	20 02
先修 科目	電子學	授課 方式	投影片授課				
教學 目標	1. 學習基礎積體電路設計理論與技術，了解 CMOS 電路之物理結構、CMOS 製程。 2. CMOS Logic 電路及初步的 CMOS IC 佈局設計，進而講解 CMOS 電路設計技術。 3. 建立學生具有足夠之 VLSI 設計理論及工業界發展之應用知識，以便符合高科技 IC 設計公司初級人力需求。						
一、教 學 大 綱 內 容							
(開學至期中考)				(期中考至期末考)			
1. An Overview of VLSI 2. Logic Design with MOSFET 3. Physical Structure of CMOS IC 4. Fabrication of CMOS ICs 5. Elements of Physical Design 6. Electrical Characteristics of MOSFET 7. Electronic Analysis of CMOS Logic Gates				1. Design High-Speed CMOS Logic Networks 2. High-Speed Driving 3. BiCMOS Circuit Techniques 4. Advanced Techniques in CMOS Logic Circuits 5. System-Level Physical Design 6. VLSI Clocking and System Design			
上課 時間	1. 星期____：第____節至第____節 2. 星期____：第____節至第____節 3. 地點：_____			學生輔 導時間	1. 星期____：第____節至第____節 2. 星期____：第____節至第____節 3. 地點：_____ 校內分機：_____		
二、成績評量項目與比例				簽	授課教師	召集人	系科主任
期中考 30%，平時分數 30%，期末考 40%				章	呂啟彰		

5. 積體電路佈局與驗證

國立虎尾科技大學課程教學大綱

當期課號：		<input type="checkbox"/> 必修 <input checked="" type="checkbox"/> 選修 <u>3</u> 學分 <u>3</u> 小時	適用 班級	<input type="checkbox"/> 專科部 <input checked="" type="checkbox"/> 學院部		
科目 名稱	中文：積體電路佈局與驗證			<input type="checkbox"/> 五年制 <input checked="" type="checkbox"/> 四年制 <input type="checkbox"/> 二年制		
	英文：Integrated circuit layout and verification	電機工程系 <u>三</u> 年級 <u>乙</u> 班				
教材 名稱	VLSI 設計概論/實習 自編講義	編著者 李博明 唐經洲	出版者	高立圖書	版次 / 日期	2005
先修 科目	電子學	授課 方式	投影片授課			
教學 目標	1. 本課程乃是針對積體電路的設計流程及軟體的工具使用，由電路的輸入模擬起，一直到 layout 設計完成並模擬驗證完成為止，做一系列的教學與實施操作。 2. 修課同學將可從中學學習到完整的積體電路設計知識。					
一、教 學 大 綱 內 容						
(開學至期中考) 1. Introduction to IC Designs 2. Primary Unix Operations 3. Hspice 4. Hspice Lab. -1 5. Hspice Lab. -2 6. Full Custom Design Tool - Laker 7. Full Custom Design Tool - Calibre 8. Layout Examples			(期中考至期末考) 1. Full Custom Layout Lab.-1 2. Full Custom Layout Lab.-2 3. Full Custom Layout Lab.-3 4. Full Custom Layout Lab.-4 5. Tape out Preparing 6. Introduction to IO Pads 7. Full Custom Layout Lab.-5 8. Full Custom Layout Lab.-6			
上課 時間	1. 星期____：第____節至第____節 2. 星期____：第____節至第____節 3. 地點：_____		學生輔 導時間	1. 星期____：第____節至第____節 2. 星期____：第____節至第____節 3. 地點：_____ 校內分機：_____		
二、成 績 評 量 項 目 與 比 例			簽	授課教師	召集人	系科主任
平時分數 20%，平時作業 50%，期末報告 30%			章	呂啟彰		

五、未來發展

未來發展目標係成立跨系所的系统晶片開發、應用與推廣中心，整合本校相關軟硬體資源，以及相關專長教師，提供各項晶片開發與驗證平台，建立完整的晶片設計流程，以及產學合作平台。